

Japan Patent Office (JP)
UNEXAMINED PATENT GAZETTE (A)

Unexamined Patent Publication
 No. 64-39044

Int. Cl.
 H01L 21/92

ID No.

JPO Serial No.
 F-6708-5F

Published: February 9, 1989

Request for examination: Not yet requested
 No. of inventions: 1 (Total 3 pages)

Title of the Invention: Method of Forming Projecting Electrodes

Patent Application No.: 62-194881

Filing Date: August 4, 1987

Inventor: Hiroshi Hashiue, c/o Sanyo Electric Co., Ltd., 2-18 Keihan Motodoori, Moriguchi-shi, Osaka-fu

Applicant: Sanyo Electric Co., Ltd., 2-18 Keihan Motodoori, Moriguchi-shi, Osaka-fu

Agent: Takushi Nishino RPA and one other

Specification

1. TITLE OF THE INVENTION
 Method of Forming Projecting Electrodes

2. CLAIMS

(1) A method of forming projecting electrodes characterized by comprising:
 a step of forming a desired underlayer electrode at a semiconductor wafer and
 a step of placing said semiconductor wafer on the top surface of a plating solution, pumping plating solution from a tilted direction, and rotating said semiconductor wafer so as to form projecting electrodes of solder on the underlayer electrode.

3. DETAILED DESCRIPTION OF THE INVENTION

(A) Field of Utilization in Industry

The present invention relates to a method of forming projecting (bump) electrodes, more particularly a method of forming solder projecting electrodes used as flip-chip electrodes.

(B) Prior Art

In general, projecting electrodes for taking a signal to the outside of a semiconductor device are called "bumps" and are constructed of multilayer metal thin films.

The conditions required in the formation of such projecting electrodes are the prevention of mutual dispersion between aluminum (Al) pads of the interconnect layer of the semiconductor and the solder of the topmost electrode layer of the bumps, securing of a sufficient bonding force between the aluminum pads and the solder, and reduction of the connection resistance of the same. To satisfy these conditions, normally for example chrome-copper (Cr-Cu) is provided as a barrier layer or a copper plating layer (Cu) is provided as a bonding layer between the aluminum pads and the solder so as to form the projecting electrodes.

FIG. 2 shows an example of the structure of a projecting electrode for taking out a signal to the outside.

In FIG. 2, (11) is a silicon wafer, while (12) is a silicon oxide wafer film (SiO₂) film. The terminals on the wafer (11) are connected with bonding electrodes (13) by interconnects mainly comprised of aluminum (Al) and are electrically connected with the outside by these electrodes (13). Further, the terminals and the interconnects are protected by being covered by phosphorus glass or polyimide or another insulating film (14). Further, in FIG. 2, (15) and (16) are respectively the above

barrier layer and bonding layer. These are metal thin film layers provided so as to prevent a drop in the bonding strength due to mutual dispersion between the above bonding electrodes (13) comprised of aluminum (Al) and the bump bodies (17) comprised of solder. Normally, they are multilayer thin film structures of chrome-copper (Cr-Cu)/copper plating (Cu).

The solder bumps have conventionally been formed by solder plating by the apparatus shown in FIG. 3.

A cup (23) made of plastic provided with a large number of holes in its bottom is provided in the solder plating solution (22). The solder plating solution (22) is introduced into the cup (23) by a pump (24) from the bottom surface of the cup (23). Therefore, the solder plating solution (22) is controlled so as to flow in from the bottom surface of the cup (23) and overflow from the top end of the cup (23). The solder wafer (21) formed with the underlayer electrode is supported at three points by pins (25) so as to abut against the solder plating solution (22) at the top surface of the solder plating solution (22) in the cup (23). Further, a solder plate (26) provided with a large number of holes is placed at the bottom of the cup (23) and is given a plus

potential to cause it to act as an anode, while a semiconductor wafer (21) is biased to a minus potential using the pins (25) to cause it to act as a cathode and thereby cause electroplating of solder. The solder bumps are formed to a height of about 40 Φ by electroplating for about 1 hour.

Note that as prior art of this, for example, Japanese Unexamined Patent Publication (Kokai) No. 59-8348 (H01L 21/92) etc. are known.

(C) Problems to be Solved by the Invention

However, with the conventional method of forming projecting electrodes, the solder plating solution (22) was pumped in a perpendicular direction by the pump (24), so the semiconductor wafer (21) contacted the solder plating solution (22) in the perpendicular direction. Therefore, the solder plating solution (22) flowed as shown by the arrow marks, branched to the left and right at the center of the semiconductor wafer (21), and then overflowed from the top end of the cup (23). Therefore, there was the problem that the solder bumps formed by solder plating at the underlayer electrode provided at the bottom surface of the semiconductor wafer (21), as shown conceptually by the dot-chain line in the figure, were formed thick at the center of the wafer

(21) and became thinner the more to the circumference.

(D) Means for Solving the Problems

The present invention was made in consideration of this problem and provides a method of forming projecting electrodes greatly improved in respect to the conventional problems by making the direction of flow of the solder plating solution in the cup tilted and rotating the semiconductor wafer.

(E) Mode of Operation

According to the present invention, by making the direction of flow of the solder plating solution tilted and rotating the semiconductor wafer, it is possible to make the flow rate of the solder plating solution striking the semiconductor wafer uniform and possible to make the height of the solder bumps formed on the underlayer electrode of the semiconductor wafer uniform.

(F) Embodiments

A method of forming projecting electrodes according to the present invention will be described in detail next with reference to FIG. 1.

The semiconductor wafer, as shown in FIG. 2, is formed in advance with an underlayer electrode comprised of chrome-copper (Cr-Cu) and copper plating layers (Cu). The underlayer electrode acts as

the cathode electrodes at the time of solder plating, so is provided over the entire surface of the semiconductor wafer (1). This is covered by a resist layer etc. exposing portions for forming the solder bumps.

Solder bumps are plated on the semiconductor wafer (1) formed with the underlayer electrode using the apparatus shown in FIG. 1.

In FIG. 1, a cup (3) made of plastic provided with a large number of holes in its bottom is provided in the solder plating solution (2). The solder plating solution (2) is introduced into the cup (3) by a pump (4) from the bottom surface of the cup (3). Therefore, the solder plating solution (2) is controlled so as to flow in from the bottom surface of the cup (3) and overflow from the top end of the cup (3). The solder wafer (1) formed with the underlayer electrode is supported by being fixed to a support rod (5) so as to abut against the solder plating solution (2) at the top surface of the solder plating solution (2) in the cup (3). Further, a solder plate (6) provided with a large number of holes is placed at the bottom of the cup (3) and is given a plus potential to cause it to act as an anode, while a semiconductor wafer (1) is connected to the support rod (5) using pins (7) and biased to a minus

potential to cause it to act as a cathode and thereby cause electroplating of solder.

The present invention is characterized by the following points. First, the shape of the cup (3) is a tilted parallelepiped. The large number of holes provided at the bottom are also formed in a tilted direction along with this. Therefore, the plating solution (2) flowing from the bottom of the cup (3) due to the pump (4) is ejected in a tilted direction. Therefore, the solder plating solution (2), as shown by the arrow marks, strikes the semiconductor wafer (1) from a tilted direction, flows along the semiconductor wafer (1) bent toward one direction, and overflows from the top end of the cup (3), so it is possible to eliminate disturbance in flow of the plating solution at the surface of the semiconductor wafer (1).

Second, the semiconductor wafer (1) is rotated at a low speed. That is, the semiconductor wafer (1) is rotated at about 1 rpm by rotating the support rod (5). In the state with the semiconductor wafer (1) not made to rotate, the solder bumps formed by plating on the underlayer electrode would gradually become thicker in the direction of flow as shown by the dot-chain line in the figure in accordance with the flow rate of the solder plating solution (2). This is made uniform by rotation of the semiconductor wafer (1).

(G) Effects of the Invention

According to the present invention, by making the direction of flow of the solder plating solution (2) a direction tilted with respect to the direction perpendicular to the semiconductor wafer (1) and rotating the semiconductor wafer (1) at a low speed, there is the advantage that it is possible to make the height of the solder bumps depositing on the underlayer electrode of the semiconductor wafer (1) uniform.

4. BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a sectional view for explaining the method of forming projecting electrodes according to the present invention, FIG. 2 is a sectional view for explaining the structure of a general solder projecting electrode, and FIG. 3 is a sectional view for explaining a conventional method of forming projecting electrodes.

(1) indicates a semiconductor wafer, (2) a solder plating solution, (3) a cup, (4) a pump, (5) a support rod, (6) a solder plate, and (7) a pin.

Applicant: Sanyo Electric Co., Ltd.

Agent: Takushi Nishino RPA and one other

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月9日

H 01 L 21/92

F-6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 突起電極の形成方法

⑮ 特 願 昭62-194881

⑯ 出 願 昭62(1987)8月4日

⑰ 発 明 者 橋 上 寛 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

⑱ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑲ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称

突起電極の形成方法

2. 特許請求の範囲

(1) 半導体ウェハに所望の下地電極を形成する工程と、

前記半導体ウェハをメッキ液上面に配置し、メッキ液を斜め方向より流し且つ前記半導体ウェハを回転させて前記下地電極に半田の突起電極を形成する工程とを有することを特徴とする突起電極の形成方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は突起(パンプ)電極の形成方法、特にフリップチップとして用いる半田突起電極の形成方法に関する。

(ロ) 従来の技術

一般に、半導体装置の外部取り出し用突起電極はパンプと呼ばれ、多層金属薄膜構造となっている。

ところで、この突起電極を形成するにあたって必要な条件は、半導体の配線層のアルミニウム(A1)パッドとパンプ主体である電極最上層の半田との相互拡散を防ぐとともに、これらアルミニウムパッドと半田との接着力を十分とし、かつこの接触抵抗をも小さくすることである。これらの条件を満たすために、通常はこれらアルミニウムパッドと半田との間にバリア層として例えばクロム銅(Cr-Cu)を、また接着層として銅メッキ層(Cu)をそれぞれ設けて突起電極を構成している。

第2図に外部取り出し用突起電極構造の一例を示す。

第2図において、(11)はシリコンウェハであり、(12)はシリコン酸化膜(SiO₂膜)である。ウェハ(11)上の各素子はアルミニウム(A1)を主成分とした配線によってボンディング電極部(13)と接続されており、この電極部(13)によって外部との電気的接続がなされる。また上記各素子および配線はリンガラスあるいはポリイミド等の絶縁膜(14)により覆われ保護されている。さらに第2図にお

いて、(15)および(16)はそれぞれ前記バリヤ層および接着層である。これらはアルミニウム(Al)からなる上記ボンディング電極部(13)と半田からなるパンプ主体(17)との相互拡散によりこれらの結合強度が低下しないように施された金属薄膜層であり、通常はクロム銅(Cr-Cu)/銅メッキ(Cu)といった多層金属薄膜相造となっている。

斯上した半田パンプは、従来では第3図に示す装置で半田メッキして形成されていた。

半田メッキ液(22)内に底面に多数の孔を設けた樹脂製のカップ(23)を設け、カップ(23)底面よりポンプ(24)で半田メッキ液(22)をカップ(23)内に導入している。従って半田メッキ液(22)はカップ(23)底面より流れ込み、カップ(23)上端よりオーバーフローする様にコントロールされている。カップ(23)内の半田メッキ液(22)上面には半田メッキ液(22)に当接して下地電極を形成した半導体ウェハ(21)が針(25)で3点支持されている。またカップ(23)の底面には多数の孔を設けた半田板(26)が置かれ、プラス電位を印加してアノードと

して働き、半導体ウェハ(21)は針(25)を利用してマイナス電位にバイアスされカソードとして働き、半田の電解メッキが行なわれる。半田パンプは約1時間の電解メッキにより約40μの高さに形成されている。

なお斯る先行技術としては、例えば特開昭59-8358号公報(H01L21/92)等で知られている。

(ハ) 発明が解決しようとする問題点

しかしながら、従来の突起電極の形成方法では、半田メッキ液(22)はカップ(23)の底面よりポンプ(24)で垂直方向に流しているので、半導体ウェハ(21)は半田メッキ液(22)と垂直方向に接している。このために半田メッキ液(22)は矢印に示す様に流れ、半導体ウェハ(21)の中心部を境にして左右に分かれて流れ、カップ(23)上端よりオーバーフローする。従って半導体ウェハ(21)の下面側に設けた下地電極に半田メッキされる半田パンプの厚みは概念的には図中一点破線で示す如く、半導体ウェハ(21)の中心部で厚く周辺に行くに

従って薄くなる様にメッキされる問題点を有していた。

(ニ) 問題点を解決するための手段

本発明は斯る問題点に鑑みてなされ、カップ内の半田メッキ液を流す方向を斜めにし且つ半導体ウェハを回転させることにより、従来の問題点を大幅に改善した突起電極の形成方法を提供するものである。

(*) 作用

本発明に依れば、半田メッキ液を流す方向を斜めにし且つ半導体ウェハを回転させることにより、半田メッキ液の半導体ウェハに当接する液量を均一化でき、半導体ウェハの下地電極に形成される半田パンプの高さを均一化できる。

(ハ) 実施例

本発明に依る突起電極の形成方法を第1図を参照して詳述する。

半導体ウェハには第2図に示す如く、クロム銅(Cr-Cu)および銅メッキ層(Cu)より成る下地電極が予め形成されている。下地電極は半田メッキの

際のカソード電極として働くので、半導体ウェハ(1)全面に設けられ、半田パンプを形成する部分を露出してレジスト層等で被覆されている。

下地電極を形成した半導体ウェハ(1)には第1図に示す装置を用いて半田パンプをメッキする。

第1図において、半田メッキ液(2)内に底面に多数の孔を設けた樹脂製のカップ(3)を設け、カップ(3)底面よりポンプ(4)で半田メッキ液(2)をカップ(3)内に導入している。従って半田メッキ液(2)はカップ(3)底面より流れ込み、カップ(3)上端よりオーバーフローする様にコントロールされている。カップ(3)内の半田メッキ液(2)上面には半田メッキ液(2)に当接して下地電極を形成した半導体ウェハ(1)が裏面を支持棒(5)に固定されて支持されている。またカップ(3)底面には多数の孔を設けた半田板(6)が置かれ、プラス電位を印加してアノード電極として働き、半導体ウェハ(1)の下地電極は針(7)を利用して支持棒(5)と接続されマイナス電位にバイアスされてカソードとして働き、半田の電界メッキが行なわれ

て半田バンプが形成される。

本発明の特徴は以下の点にある。第1にカップ(3)の形状が斜方形であり、底面に設けた多数の孔もこれに合せて斜め方向に形成されている。従ってポンプ(4)によりカップ(3)底面より流れ込むメッキ液(2)は従来の垂直方向から斜め方向にふき出される。このため半田メッキ液(2)は矢印で示す如く、半導体ウェハ(1)に斜め方向から当接し、一方向に曲って半導体ウェハ(1)に沿って流れ、カップ(3)上端よりオーバーフローしているので、半導体ウェハ(1)表面でのメッキ液の流れの乱れを除去できる。

第2に半導体ウェハ(1)を低速で自転させている。即ち、半導体ウェハ(1)は支持極(5)を回転させることにより1回/分程度で回転されている。これは半導体ウェハ(1)を回転させない状態では下地電極にメッキされる半田バンプの厚みは半田メッキ液(2)の流量に従い、図中一点破線で示す様に流れる方向に徐々に厚くなる。これを半導体ウェハ(1)の自転で均一化している。

(イ) 発明の効果

本発明に依れば、半田メッキ液(2)の流れる方向を半導体ウェハ(1)に垂直方向に対して斜め方向とし、且つ半導体ウェハ(1)を低速で回転させることにより、半導体ウェハ(1)の下地電極に付着する半田バンプの高さを均一化できる利点を有する。

4. 図面の簡単な説明

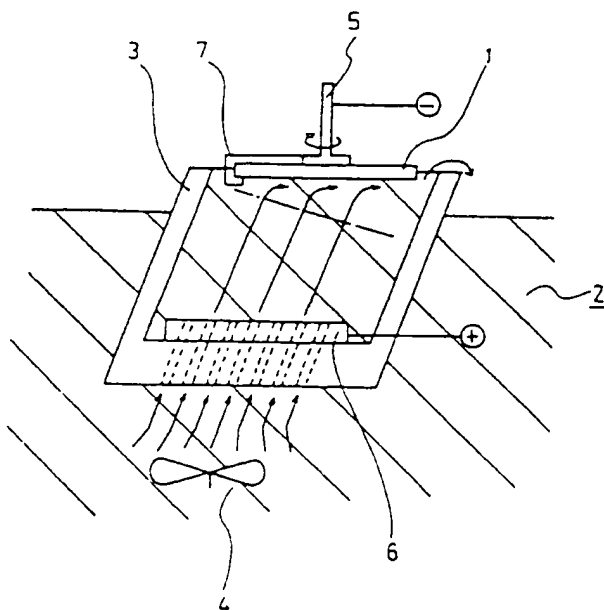
第1図は本発明に依る突起電極の形成方法を説明する断面図、第2図は一般的な半田突起電極の構造を説明する断面図、第3図は従来の突起電極の形成方法を説明する断面図である。

(1)は半導体ウェハ、(2)は半田メッキ液、(3)はカップ、(4)はポンプ、(5)は支持極、(6)は半田板、(7)は針である。

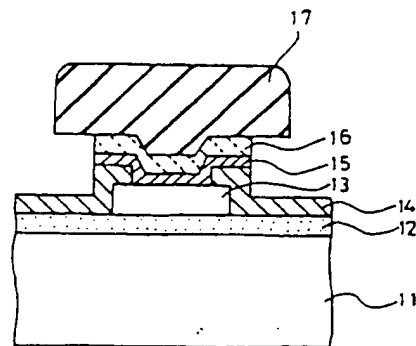
出願人 三洋電機株式会社

代理人 井理士 西野卓朗 外1名

第1図



第2図



第3図

